

PCT/JP03/16981

26.12.03

日 本 国 特 許 庁
JAPAN PATENT OFFICE

REC'D 22 JAN 2004

WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 1月 6日

出 願 番 号
Application Number: 特願2003-000455
[ST. 10/C]: [JP2003-000455]

出 願 人
Applicant(s): 日本電気株式会社

Best Available Copy

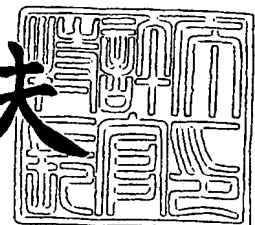
Best Available Copy

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 8月 8日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特2003-3063939

【書類名】 特許願

【整理番号】 34002280

【提出日】 平成15年 1月 6日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 本田 雄士

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 崎村 昇

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 杉林 直彦

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 穰平

【電話番号】 03-3431-1831

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108202 .

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 情報を記憶する記憶素子と、
電流を流すことにより前記記憶素子に情報を書き込むために設けられた定電流源と、

前記記憶素子に関連した所定位置において、前記定電流源により流された電流の量が前記記憶素子に情報を書き込むために必要な電流の量に達するまでの間に、寄生キャパシタを充電するためのブースト回路と、
を備えることを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、
前記記憶素子は、トンネル磁気抵抗素子であり、前記所定位置は、前記トンネル磁気抵抗素子に電流による磁界を与える位置であることを特徴とする半導体記憶装置。

【請求項 3】 請求項 1 に記載の半導体記憶装置において、
前記ブースト回路は、前記寄生キャパシタを充電するための電荷を蓄積するコンデンサを備えることを特徴とする半導体記憶装置。

【請求項 4】 請求項 3 に記載の半導体記憶装置において、
前記コンデンサの両極間電圧を電源電圧以上にするための回路を更に備えることを特徴とする半導体記憶装置。

【請求項 5】 請求項 3 に記載の半導体記憶装置において、
前記コンデンサは複数有り、
前記ブースト回路は、前記寄生キャパシタを充電するために必要な電荷の量に応じて、充電に用いるコンデンサを切り替える切替手段を備えることを特徴とする半導体記憶装置。

【請求項 6】 請求項 5 に記載の半導体記憶装置において、
前記切替手段は、前記寄生キャパシタを充電するために必要な電荷の量に応じて、充電に用いるコンデンサの組み合わせを切り替えることを特徴とする半導体記憶装置。

【請求項 7】 請求項 5 に記載の半導体記憶装置において、
前記複数のコンデンサのうちの少なくとも一部のものの容量は、相互に等比級数の関係にあることを特徴とする半導体記憶装置。

【請求項 8】 請求項 5 に記載の半導体記憶装置において、
前記複数のコンデンサのうちの少なくとも一部のものの容量は、前記記憶素子に情報を書き込むために必要な電流の量に依存した前記寄生キャパシタの容量に従って決定されていることを特徴とする半導体記憶装置。

【請求項 9】 請求項 5 に記載の半導体記憶装置において、
前記複数のコンデンサのうちの少なくとも一部のものの容量は、前記記憶素子の位置に依存した前記寄生キャパシタの容量に従って決定されていることを特徴とする半導体記憶装置。

【請求項 10】 請求項 5 に記載の半導体記憶装置において、
前記複数のコンデンサのうちの少なくとも一部のものの容量は、プロセス条件に依存した前記寄生キャパシタの容量に従って決定されていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流を流すことにより記憶素子に情報を書き込む半導体記憶装置に関し、特に、電流を流すことにより発生した磁界によりトンネル磁気抵抗素子に情報を書き込む半導体記憶装置に関する。

【0002】

【従来の技術】

近年、携帯電話等の急速な普及により、不揮発、大記憶容量、低電圧動作、低消費電力特性を持つメモリの需要が高まっている。MRAM（磁気ランダムアクセスメモリー）は、これらの特性を備えたメモリとして期待されている。MRAMの記憶素子はTMR（トンネル磁気抵抗）素子で構成され、各TMR素子は、例えば図13に示すような構成となっている。TMR素子は、順次に固定強磁性層（ピン層）901、トンネル絶縁層902、および自由強磁性層（フリー層）

903を積層することにより構成されている。上記ピン層901の磁化の向きは、製造時に固定されている。これに対して、フリー層903の磁化方向は配線電流の生成する磁場により反転可能になっており、例えば、TMR素子の上下に配置されているビット線BLとワード線WLに流れる電流の生成する磁場により反転することができる。その磁化の向きによって「1」または「0」が割り当てられている。ピン層901とフリー層903の磁化の相対方向が平行な時（図13での「0」）は電気抵抗が小さく、反平行な時（図13での「1」）は電気抵抗が大きいため、この電気抵抗の差を検出することにより、記憶素子の状態を読み出すことが可能である。

【0003】

このような構成のTMR素子をメモリセルとして使用する半導体記憶装置は、図14（A）のように、複数個のメモリセル904がマトリックス状に配置された構成を持ち、各メモリセルの上方において、横方向に延びる複数本のビット線BL905と、各メモリセルの下方において、縦方向に延びる複数本のワード線WL906と、を構成要素としている。各メモリセル904は、上記TMR素子により構成されており、選択セルの上下に存在するビット線BLとワード線WLに電流が流れた時、それぞれの電流が生成する磁場 H_Y 、 H_X の組み合わせが所定の条件を満たした時、フリー層の磁化方向が反転され得るようになっている。この磁化反転に必要な最低磁場の組み合わせは、図14（B）に示すような、アステロイドカーブと呼ばれる曲線を成す（図14（B）では、「0」から「1」への反転を考えている）。アステロイド曲線の外側（“Reversal”領域及び“Multiple Write”領域）の磁場を加えれば、選択セルSに対して書込みが行われる。例えば、図14（B）において、X方向磁場 H_{DX} 、Y方向磁場 H_{DY} を加えると、選択セルSにおける磁場ベクトル $(H_X, H_Y) = (H_{DX}, H_{DY})$ は反転領域にあるため、磁化反転がおきる。つまり、その磁化の向きを反転させることにより、「0」または「1」のデータ書込を行なうことができるようになっている。またこのとき、選択ビット線上、選択ワード線上の非選択メモリセル U_X 、 U_Y においては、アステロイドカーブの内側（“Retention”領域）に収まるような磁場 H_{DX} のみ、または H_{DY} のみが存在するため、磁化反転は起きない。つまり、

選択的書込みが行われる。

【0004】

図14 (B) における磁場 (H_X , H_Y) は、Ampereの法則 ($I = H / 2 \pi r$ 、 r は配線中心と磁性体中心間の距離) により、ワード線電流 I_{DY} 、ビット線電流 I_{DX} について書き直すことが出来る。書き直した結果を図14 (C) に示す。ワード線電流 I_{DY} 、ビット線電流 I_{DX} 電流を流すと、選択セル S における電流の組み合わせ (I_{BL} , I_{WL}) = (I_{DX} , I_{DY}) は反転領域にあるため、磁化反転がおきる。つまり、その磁化の向きを反転させることにより、「0」または「1」のデータ書込を行なうことができるようになっている。またこのとき、選択ビット線上、選択ワード線上の非選択メモリセル U_X , U_Y においては、アステロイドカーブの内側 (「保持」領域) に収まるような電流 I_{DX} , I_{DY} のみが流れるため、磁化反転は起きない。つまり、選択的書込みが行われる。

【0005】

ところがMRAMの場合は、図14 (A) が示すように、選択ビット線 BL_{905} と選択ワード線 WL_{906} には非選択セルが多数接続されているため、配線に電流が流れるとこれらの非選択セルが擾乱磁場を受けることになる。例えば、図14 (C) における格子模様の領域 (“Multiple Write” 領域) にある書込電流を流すと、非選択メモリセル U_X での電流 I_{BL} 、非選択メモリセル U_Y での電流 I_{WL} はアステロイドカーブの外側に出るため、非選択メモリセル U_X , U_Y に対しても書込みが行われる。つまり、誤書込みが起こる。従って、選択的書込を行なうためには、図14 (C) における白抜き部分 “Reversal” 領域内の電流を流す必要があり、書込電流値の正確な調整が必要である。

【0006】

【発明が解決しようとする課題】

磁性体の磁化反転時間は1ナノ秒以下と高速であることから、MRAMは高速書込みが原理的に可能であることが、その長所の一つとなっている。しかし、上記従来の技術で説明したように、MRAMの書込電流は正確である必要があるため、書込電流源としては、定電流源を使う必要がある。ところが、上記のような従来の定電流書込回路では、書込電流源がオンされた直後では、配線およびセレ

クタに存在する寄生キャパシタに電荷が蓄積されるために、実際に選択ビット線BL905及び選択ワード線WL906の選択セルの位置に定電流が流れるまでに一定の時間が必要であった。このため、書込み時の消費電力が増大する問題を有していた。この問題を、図15～18を用いて説明する。図15はメモリセルアレイ（図では4×4のセルを表示）であり、X側、Y側にそれぞれ定電流源回路が用意されている。理想的には図16（A）で示すように、この定電流源が出力する定電流 I_{CX} 、 I_{CY} はアレイ内でもそのまま定電流 I_{AX} 、 I_{AY} として流れる。このため、瞬時に書込電流が立ち上げることが期待される。しかし、実際の回路には、図15に示すような寄生キャパシタ CLX 、 CLY 、 $CX1$ 、 \dots 、 CXm 、 $CY1$ 、 \dots 、 CYm が存在する（ m 行 m 列アレイの場合）。そのため定電流源が、アレイ外においては定電流 I_{CX} 、 I_{CY} を流しても、アレイ内での電流は、特に電流を流した直後において上記の寄生キャパシタを充電するために費やされるため、電流波形は図16（B）のように鈍る。特にMRAMの場合は、特定の値以下の電流は書込能力を有さないため、電流値が必要な値になるまで待たなくてはならない。このため、高速な書込みが難しくなるばかりでなく、図16（B）斜線部のように無駄な電流が生じる。このため、特にMRAMの場合は書込電流値が大きい（数mA）ことを反映して、消費電力が増大してしまうという難点があった。

【0007】

この問題は、メモリの容量が大きくなるに従って顕著になる。図17は、大記憶容量アレイに従来型の定電流源回路を用いて電流を流す時の構成を示すブロック図である。大記憶容量アレイは、 $N \times M$ 個の小アレイで構成されているとする。メモリ占有面積を大きくするために、X側の電流源は同一行の小アレイ M 個に対して書込みを行い、Y側の電流源は同一列の小アレイ N 個に対して書込みを行なう構成になっている。このため、例えばX側の書込電流に関しては、小アレイ（1，1）に電流を流す場合の電流経路 I と、小アレイ（1， M ）に電流を流す場合の電流経路 M は、電流経路の長さが異なる。これらの電流経路には配線抵抗 R_p 、寄生キャパシタ C_p が付随するため、定電流を流す場合でも、大体時定数 $\Delta t = C_p R_p$ で与えられる遅延時間が生じる。電流経路が異なると、配線抵抗

と寄生キャパシタが異なるのはもちろん、配線電位が異なることによって、寄生キャパシタに充電するのに必要な電荷量も異なってくる。この違いを、図18を用いて説明する。終端電位を V_0 、小アレイ921とセレクタ922の合成抵抗を r 、小アレイ921とセレクタ922の合成寄生キャパシタの容量を C_A とし、小アレイ k ($1 < k < M$) を選択したとすると、電流 I を流す時に寄生キャパシタに蓄積される電荷量は、

【0008】

【数1】

$$\begin{aligned} Q_k &= CV_0 + \sum_{j=1}^k C(V_0 + R_j I) \\ &\quad + C_A(V_0 + R_k I) + \sum_{j=1}^k C(V_0 + R_k I + rI + R_j I) \\ &= ak^2 + bk + c \end{aligned}$$

但し

$$a = 2CRI$$

$$b = C(R + r)I + C_A RI + 2CV_0$$

$$c = (C + C_A)V_0$$

(1)

となり、アレイ位置 k に関して2次式、電流値 I に関して1次式となる。

【0009】

しかしながら、従来型の定電流源を用いただけでは、選択アレイの場所に依存する寄生キャパシタの影響を最小化し、短時間で書込電流を流すことは困難であった。また、寄生キャパシタの容量の大きさは書込電流値にも依存するため、実際に流す電流値に従って寄生キャパシタの影響を最小化し、短時間で書込電流を流すことは困難であった。さらに、実際に付随する寄生キャパシタはチップによって異なる可能性があるため、寄生キャパシタの影響を最小化して短時間で書込

電流を流すことは困難であった。

【0010】

本発明は、寄生キャパシタにより書込電流が所定値に達するまでの時間が長引くことを防止することにより、書込み速度を速め、消費電力を削減することを目的とする。

【0011】

【課題を解決するための手段】

上記の課題を解決するために、本発明の半導体記憶装置は、書込電流源路が、書込スタンバイ時に電荷を蓄積し、書込動作時に前記電荷が瞬間的に開放される回路（以下、ブースト回路と呼ぶ）を有する構成とする。本ブースト回路を用いることで、配線やセレクトゲートに存在する寄生キャパシタを瞬間的に充電することができ、その結果、ブースト回路と別個に存在する定電流源回路から流れる電流が寄生キャパシタに対して充電する量を小さくすることができるため、書込電流は短時間で立ち上がることが可能になる。結果的に短時間で書き込むことができ、電力消費量の増大を防ぐことができる。

【0012】

また、本半導体記憶装置のブースト回路は、複数個のブースト用キャパシタとキャパシタセクタから成り、セルアレイの場所や電流値によって容量を選択可能な構成となっているため、任意のセル、任意の電流についての書込みにおいて効果を持たせることができる構成となっている。

【0013】

さらに本半導体記憶装置のブースト回路は、上記のブースト用キャパシタを選択パターンに従って等比級数的に分割しているため、最大ブースト時（最遠方アレイ書込み、最大電流）にブースト用キャパシタが全て使用される構成となっている。このため、ブースト用キャパシタの占有面積に無駄が生じることがないため、アレイ占有面積を高めることができる。

【0014】

本発明によれば、情報を記憶する記憶素子と、電流を流すことにより前記記憶素子に情報を書き込むために設けられた定電流源と、前記記憶素子に関連した所

定位置において、前記定電流源により流された電流の量が前記記憶素子に情報を書き込むために必要な電流の量に達するまでの間に、寄生キャパシタを充電するためのブースト回路と、を備えることを特徴とする半導体記憶装置が提供される。

【0015】

上記の半導体記憶装置において、前記記憶素子は、トンネル磁気抵抗素子であってもよく、前記所定位置は、前記トンネル磁気抵抗素子に電流による磁界を与える位置であってもよい。

【0016】

上記の半導体記憶装置において、前記ブースト回路は、前記寄生キャパシタを充電するための電荷を蓄積するコンデンサを備えていてもよい。

【0017】

上記の半導体記憶装置は、前記コンデンサの両極間電圧を電源電圧以上にするための回路を更に備えていてもよい。

【0018】

上記の半導体記憶装置において、前記コンデンサは複数有ってもよく、前記ブースト回路は、前記寄生キャパシタを充電するために必要な電荷の量に応じて、充電に用いるコンデンサを切り替える切替手段を備えていてもよい。

【0019】

上記の半導体記憶装置において、前記切替手段は、前記寄生キャパシタを充電するために必要な電荷の量に応じて、充電に用いるコンデンサの組み合わせを切り替えてもよい。

【0020】

上記の半導体記憶装置において、前記複数のコンデンサのうちの少なくとも一部のものの容量は、相互に等比級数の関係にあってもよい。

【0021】

上記の半導体記憶装置において、前記複数のコンデンサのうちの少なくとも一部のものの容量は、前記記憶素子に情報を書き込むために必要な電流の量に依存した前記寄生キャパシタの容量に従って決定されていてもよい。

【0022】

上記の半導体記憶装置において、前記複数のコンデンサのうちの少なくとも一部のものの容量は、前記記憶素子の位置に依存した前記寄生キャパシタの容量に従って決定されていてもよい。

【0023】

上記の半導体記憶装置において、前記複数のコンデンサのうちの少なくとも一部のものの容量は、プロセス条件に依存した前記寄生キャパシタの容量に従って決定されていてもよい。

【0024】

【発明の実施の形態】

本発明の上記および他の目的、特徴及び利点を明確にすべく、添付した図面を参照しながら、本発明の形態を以下に詳述する。

【0025】

[第1の実施の形態]

本発明の第1の実施の形態の半導体記憶装置を説明する。

【0026】

図1は、第1の実施の形態の半導体記憶装置の構成を示すブロック図である。図1のX側ブースト回路101において、ブースト用キャパシタCBXは一端が接地され、もう一端は端子VBXを介してPMOSトランジスタMSXおよびPMOSトランジスタMBXに接続されている。PMOSトランジスタMBXのもう一端は電源電圧Vddに接続されている。ブーストスタンバイ時(VBSTX=Lレベル(GND))では、PMOSトランジスタMSXはオフ、PMOSトランジスタMBXはオンになっているため、ブースト用キャパシタCBXには、電荷 $QB = CBX \times Vdd$ が蓄積されている。Y側ブースト回路102においても同様である。X側書込定電流回路103、Y側書込定電流回路104は出力インピーダンスの大きな電流源であり、配線抵抗等の影響を受けずに、定電流を流すことができるものとする(この設定電流値が、最終的にセルアレイに流したい電流値となる)。この書込定電流回路103、104の構成は、例えば図2のようなトランジスタのカスコード接続を作ることによって実現出来る。PMOSトラ

ンジスタのゲートへの入力電圧 V_{b1} , V_{b2} は、全てのトランジスタを飽和領域で動作可能な電圧となっており、バイアス回路で生成する。選択スイッチ SW_1, \dots, SW_n (書込開始信号 $WENX$ と電流選択信号の論理積) の切り替えにより、電流値を設定できる。図2では n ビット、バイナリの電流源から成るので、 2^n 通り ($i, 2i, 3i, \dots, (2^n - 1)i$) の電流値を設定できることになる。

【0027】

定電流制御回路の動作および効果を、図3 (A) (B) に示したタイミングチャートを用いて説明する。主にX側の動作について説明するが、Y側においても同様であることは、明らかである。

【0028】

定電流源回路が動作状態となり、信号 $WENX$ と信号 $VBSTX$ がLレベルからHレベル (V_{dd}) に切り替わると、PMOSトランジスタ MBX がオフ、PMOSトランジスタ MSX がオンとなる。ノード VBX の電位は、ほぼ電源電圧 V_{dd} であり、配線 NLX の電位はこれ以下の電位、例えばGNDであるため、ブースト用キャパシタ CBX に蓄積された電荷が急激に選択配線に流れる。この電流は放電現象を反映して瞬間的なオーバーシュート電流であり、寄生キャパシタ CLX, CX_1, \dots, CX_m を充電しながら、数ナノ秒の間電流が流れる。やがて、ノード VBX の電位と配線電位 NLX が等しくなると、ブースト電流の流れが止まる。この様子を図3 (b) 内の電流波形 IBX で示す。信号 $VBSTX$ がHレベルの間、ノード VBX は ΔV_{BX} の電位降下が起こり、それとは逆に、選択された配線の電位 NLX はGND電位から $V_{dd} - \Delta V_{BX}$ まで上昇する。

【0029】

このブースト回路101が仮にオフであるとする、X側書込定電流源回路103からの電流は、寄生キャパシタに流入してしまうため、配線終端での電流 IA_X は立ち上がりが鈍ってしまう (図3 (B) 内 IA_X 参照)。しかし、ブースト回路101がオンである場合、上記のようにブースト電流 IBX で寄生キャパシタを充電することができるため、電流波形の鈍りは減少する。ブースト用キャパシタ CBX の容量を適正に設計すれば、実際にセルアレイに流れる電流 IA_X

$= I_{CX} + I_{BX}$ は、図3 (B) の最下行の信号のように短時間 (2 ナノ秒程度) で立ち上げることができる。そのため、書込みは短時間で完了し、消費電力の増大を防ぐことが出来る。

【0030】

[第2の実施の形態]

発明の第2の実施の形態の半導体記憶装置を説明する。第2の実施の形態は、第1の実施の形態に記載のブースト用キャパシタ C_{BX} , C_{BY} に印加する電圧を昇圧することで、蓄積できる電荷量を増大させ、書込時間の一層の短時間化を目的としている。また、本回路構成によると、ブースト用キャパシタ C_{BX} , C_{BY} に蓄積されるキャパシタ単位面積当たりの電荷量が大きくなるため、ブースト用キャパシタ C_{BX} , C_{BY} の面積を小さく出来ると言う利点がある。

【0031】

まず昇圧回路の動作を、図4 (A) を用いて説明する。ダイオードの閾値電圧を V_t とすると、スタンバイ時、入力端子 A_1 の電位は $V(A_1) = 0$ 、出力端子 V_{BT} の電位は $V(V_{BT}) = V_{dd} - 2V_t$ 、ノード A_2 の電位は $V(A_2) = V_{dd} - V_t$ である。この状態で $V(A_1) = V_{dd}$ とすると、キャパシタ C_B のカップリングにより、ノード A_2 の電位 $V(A_2)$ は一瞬 $2V_{dd} - V_t$ に上昇しようとする (ただし、同時にダイオード D_2 を通じて放電されるため、実際の電位は $2V_{dd} - V_t$ 以下である)。このため、ダイオード D_1 はオフ、 D_2 はオンし、安定化容量 C_L は対充電される。このため、出力電圧 V_{BT} は上昇する。次に、 $V(A_1) = GND$ になると、ノード A_2 の電位は一瞬 GND 近くまで降下するため、ダイオード D_1 はオン、 D_2 はオフとなり、 $V(A_2) = V_{dd} - V_t$ になるまで、キャパシタ C_B に対して充電が行われる。以下同様にして、ノード A_1 に周期的なパルス電圧が入力されると、安定化容量 C_B は $V(A_1) = GND$ 時は充電され、 $V(A_1) = V_{dd}$ 時は放電される。結局、 $V(A_2) - V_t = V_{BT}$ となるまで A_2 から出力端子 V_{BT} に対して電流が流れ、安定化容量 C_L を充電する。このときの出力電位 $V_{BT} = 2V_{dd} - 2V_t$ となる。

【0032】

次に、レベルシフト回路の動作を、図4 (B) を用いて説明する。図4 (B)

のレベルシフト回路において、入力端子 I_N が L レベルである時、NMOS トランジスタ $MN1$ と PMOS トランジスタ $MP2$ はオン、NMOS トランジスタ $MN2$ と PMOS トランジスタ $MP1$ はオフとなるため、出力電位 OUT は L レベルとなる。一方、入力端子 I_N が H レベルである時、NMOS トランジスタ $MN2$ と PMOS トランジスタ $MP1$ はオン、NMOS トランジスタ $MN1$ と PMOS トランジスタ $MP2$ はオフとなるため、出力電位 OUT は V_{BT} となる。つまり、 V_{dd} から V_{BT} へのレベル変換が行われる。

【0033】

図5は、本実施の形態2の半導体記憶装置の構成を示すブロック図である。図5のX側ブースト回路101Bにおいて、ブースト用キャパシタ C_{BX} は一端が接地され、もう一端は端子 V_{BX} を介してトランジスタ MSX および MBX に接続されている。トランジスタ MBX のもう一端は、前記昇圧回路101B-1によって電源電圧 V_{dd} が昇圧された昇圧電圧 V_{BT} に接続されている。また、オフ時に電流がリークしないようにするために、PMOS トランジスタ MSX 、 MBX のゲート電圧は、 V_{BT} にする必要がある。このため、PMOS トランジスタ MSX のゲート電圧を制御するインバータ101B-2の電源電圧は V_{BT} とし、PMOS トランジスタ MBX のゲートの入力電圧は、前記レベルシフト回路101B-3によって V_{dd} が変換された V_{BT} としてある。ブーストスタンバイ時 ($V_{BSTX} = L$ レベル) においては、PMOS トランジスタ MSX はオフ、 MBX はオンとなっているため、ブースト用キャパシタ C_{BX} には、電荷 $Q_B = C_{BX} \times V_{BT}$ が蓄積されている。Y側ブースト回路102Bにおいても同様である。X側書込定電流回路103、Y側書込定電流回路104は出力インピーダンスの大きな電流源であり、配線抵抗等の影響を受けずに、定電流を流すことができるものとする（この設定電流値が、最終的にセルアレイに流したい電流値となる）。この構成は、例えば図2のようなトランジスタのカスコード接続を作ることによって実現出来る。

【0034】

本回路の動作を、図6 (A) (B) に示したタイミングチャートを用いて説明する。主にX側の動作について説明するが、Y側においても同様であることは、

明らかである。

【0035】

定電流源回路103が動作状態となり、書込開始信号WENXとブースト開始信号VBSTXがLレベルからHレベルに切り替わると、PMOSトランジスタMBXがオフとなり、PMOSトランジスタMSXがオンとなる。この切り替わり直前でのノードVBXの電位は、ほぼ昇圧電圧VBTであり、配線NLXの電位はこれ以下の電圧、例えばグランド電位であるため、MSXがオンとなった瞬間に、ブースト用キャパシタCBXに蓄積された電荷が急激に選択配線に流れる。この電流は瞬間的なオーバーシュート電流であり、寄生キャパシタCLX, CX1, ..., CXmを充電しながら、数ナノ秒の間電流が流れる。ノードVBXの電位と配線電位NLXが等しくなると、ブースト電流の流れが止まる。この様子を図6(B)内の電流波形で示す。信号VBSTXがオンの間、ノードVBXは ΔVBX の電位降下が起こり、それとは逆に、選択された配線の電位NLXはGNDから $VBT - \Delta VBX$ まで上昇する。

【0036】

このブースト回路101Bが仮にオフであるとする、X側書込定電流源回路103からの電流は、寄生キャパシタに流入するために、アレイ内電流IAXは立ち上がりが鈍ってしまう(図6(B)内参照)。しかし、ブースト回路101Bがオンした場合、上記のようにブースト電流IBXで寄生キャパシタを充電することができるため、電流波形の鈍りは減少する。ブースト用キャパシタCBXの容量を適正に設計すれば、実際にセルアレイに流れる電流 $IAX = ICX + IBX$ は、図6(B)の最下行に示すように短時間(2ナノ秒程度)で立ち上げることができる。そのため、書込みは短時間で完了し、消費電力の増大を防ぐことができる。

【0037】

[第3の実施の形態]

本発明の第3の実施の形態の半導体記憶装置を説明する。

【0038】

第3の実施の形態は、図17の大記憶容量アレイに対して電流ブースト回路を

適用する方法について述べたものである。本実施の形態で用いる書込回路図を図7で示す。X側電流ブースト用キャパシタアレイ111およびX側キャパシタセクタ112が、X側のメイン配線113に対して接続され、Y側電流ブースト用キャパシタアレイ114およびキャパシタセクタ115が、Y側のメイン配線116に対して接続されていることが、第3の実施の形態の特徴である。また、「0」「1」の書込みの切替えはY側の書込電流方向の切替えにより行う、双方向の書込電流に対してブースト電流を加えられるように、Y側については、2系統（L，Rと表記）のキャパシタアレイ及びキャパシタセクタが用意されている。X側書込みとY側書込みの動作は、基本的に同様であるので、以下ではX側書込みに関してのみ説明する。

【0039】

図7で示したX側書込定電流源103は、 I_{X1} ， I_{X2} ，…， I_{Xn} のn通りの電流値を出力することができるとする。これは、MRAMの磁化反転電流はプロセス条件等によりばらつきがあり、かならずしも設計した電流値が最適な電流値ではない可能性があるため、製造出荷時に電流値を調整する必要があるためである。このn通りの書込電流値によって、寄生キャパシタ Q_k は式(1)に従って変化するため、電流ブースト用キャパシタもn通り用意する必要がある。また、X方向にはM個の小アレイ XA_1 ，…， XA_M が並ぶが、X方向書込アレイ位置 k （ $k=1, 2, \dots, M$ ）によっても寄生キャパシタ Q_k は式(1)に従って変化するため、M通りの電流ブースト用キャパシタを用意する必要がある。さらに、プロセス条件等により、実際の寄生キャパシタは設計値と異なる可能性があるため、電流ブースト量を補正する必要がある、この目的でs通りのブースト用キャパシタを用意する必要がある。以上の要請から、図7の各行におけるX側キャパシタアレイ111を $M \times n \times s$ 個のキャパシタで構成したとすると、電流ブースト用キャパシタの占有面積が巨大になる恐れがある。

【0040】

しかし、最大ブースト時（電流値最大、最遠方のアレイ選択時、補正ブースト量最大時）に全てのブースト用キャパシタに充電した電荷を用いる構成にし、浮遊キャパシタの式(1)を近似できるようにキャパシタ間の関係を等比級数的に

すれば、ブースト用キャパシタの数を減らせ、従ってブースト用キャパシタの占有面積を小さくすることが出来る。例えば、本実施の形態では、X側キャパシタアレイ、X側キャパシタセレクタのブロックとして、図8に示すものを用いる（Y側についても同様の構成が可能である）。図8に示すブロックはアレイの行毎に用意される。ここでは、X方向書込みアレイ位置数 $M=4$ 、電流値数 $n=4$ 、補正值数 $s=4$ としている。

【0041】

そして、X方向書込みアレイ位置数 $M=4$ としたことに伴い、端子XA2～XA4でブースト用キャパシタの容量を調整する。図8の端子“ARRAY”を制御する論理ゲートの構成から明らかなように、X方向位置が1、Y方向位置がjのアレイを選択し、書込開始信号WENXがHレベルとなったときには、キャパシタセレクタ（A）に接続されるキャパシタ#1～#6が使用候補のキャパシタとなり、X方向位置が2、Y方向位置がjのアレイを選択し、書込開始信号WENXがHレベルとなったときには、キャパシタセレクタ（A）に接続されるキャパシタ#1～#6及びキャパシタセレクタ（B）に接続されるキャパシタ#7～#14が使用候補のキャパシタとなり、X方向位置が3、Y方向位置がjのアレイを選択し、書込開始信号WENXがHレベルとなったときには、キャパシタセレクタ（A）に接続されるキャパシタ#1～#6、キャパシタセレクタ（B）に接続されるキャパシタ#7～#14及びキャパシタセレクタ（C）に接続されるキャパシタ#13～#18が使用候補のキャパシタとなり、X方向位置が4、Y方向位置がjのアレイを選択し、書込開始信号WENXがHレベルとなったときには、キャパシタセレクタ（A）に接続されるキャパシタ#1～#6、キャパシタセレクタ（B）に接続されるキャパシタ#7～#14、キャパシタセレクタ（C）に接続されるキャパシタ#13～#18及びキャパシタセレクタ（D）に接続されるキャパシタ#19～#24が使用候補のキャパシタとなる。

【0042】

電流値数 $n=4$ としたことに伴い、端子I1、I2で各キャパシタセレクタに接続されるキャパシタのうち実際に使用するキャパシタを選択する。また、補正值数 $s=4$ としたことに伴い、端子S1、S2で各キャパシタセレクタに接続さ

れるキャパシタのうち実際に使用するキャパシタを選択する。これらを合わせて端子 I 1、I 2、S 1、S 2 で各キャパシタセレクトに接続されるキャパシタのうち実際に使用するキャパシタを選択する。ブースト用キャパシタは # 1 ~ # 24 までであるので、ブースト用キャパシタの数は、合計で 24 個である。 $M \times n \times s = 4 \times 4 \times 4 = 64$ であるので、これと比較するとブースト用キャパシタの数が削減されていることがわかる。各キャパシタセレクトのブースト電流出力端子は、I B 1、I B 2、I B 3 であり、これらは X 側メイン配線 1 1 3 (配線 N L X に相当) に接続される。従って、X 側定電流源 1 0 3 が出力する調整された定電流に端子 I B 1、I B 2、I B 3 から出力される電流が加わる。図 8 では、キャパシタセレクト (A) ~ (D) 内のトランジスタサイズは特に規定していないが、電流ブースト用キャパシタの大きさに従って、M B X j, M S X j ($j = 1, \dots, 6$) (図 9 参照) のゲート幅等を調整することは容易である。

【0043】

各キャパシタセレクト 1 2 1 を図 9 に、キャパシタアレイを図 10 に示す。図 9 内の "ARRAY" 端子は、図 8 に示す "ARRAY" 端子に対応する。

【0044】

図 9 内の "I 1"、"I 2" 端子は、図 8 に示す "I 1"、"I 2" 端子に対応し、調整された書込定電流の値に応じて式 (1) に従ってブースト量を調整するために用いられる。例えば、I 1 = L、I 2 = L の時は、図 9 内の出力端子 C 1 に接続されたブースト用キャパシタ (# 1、# 7、# 13 又は # 19) 及び出力端子 C 2 に接続されたブースト用キャパシタ (# 2、# 8、# 14 又は # 20) が選択候補 T なる。I 1 = H、I 2 = L の時は、図 9 内の出力端子 C 1 に接続されたブースト用キャパシタ (# 1、# 7、# 13 又は # 19)、出力端子 C 2 に接続されたブースト用キャパシタ (# 2、# 8、# 14 又は # 20)、出力端子 C 3 に接続されたブースト用キャパシタ (# 3、# 9、# 15 又は # 21) 及び出力端子 C 4 に接続されたブースト用キャパシタ (# 4、# 10、# 16 又は # 22) が選択候補となる。I 1 = L、I 2 = H の時は、図 9 内の出力端子 C 1 に接続されたブースト用キャパシタ (# 1、# 7、# 13 又は # 19)、出力端子 C 2 に接続されたブースト用キャパシタ (# 2、# 8、# 14 又は # 20)、

出力端子C 5に接続されたブースト用キャパシタ（# 5、# 11、# 17又は# 23）及び出力端子C 4に接続されたブースト用キャパシタ（# 6、# 12、# 18又は# 24）が選択候補となる。I 1=H、I 2=Hの時は、図9内の出力端子C 1に接続されたブースト用キャパシタ（# 1、# 7、# 13又は# 19）、出力端子C 2に接続されたブースト用キャパシタ（# 2、# 8、# 14又は# 20）、出力端子C 3に接続されたブースト用キャパシタ（# 3、# 9、# 15又は# 21）及び出力端子C 4に接続されたブースト用キャパシタ（# 4、# 10、# 16又は# 22）、出力端子C 5に接続されたブースト用キャパシタ（# 5、# 11、# 17又は# 23）及び出力端子C 4に接続されたブースト用キャパシタ（# 6、# 12、# 18又は# 24）が選択候補となる。

【0045】

図9内の“S 1”、“S 2”端子は、図8に示す“S 1”、“S 2”端子に対応し、寄生キャパシタQ_kのプロセス条件依存性を補償するために用いられる。例えば、S 1=L、S 2=Lの時は、ブースト用キャパシタは選ばれない。S 1=H、S 2=Lの時は、図9内の出力端子C 1に接続されたブースト用キャパシタ（# 1、# 7、# 13又は# 19）、出力端子C 3に接続されたブースト用キャパシタ（# 3、# 9、# 15又は# 21）及び出力端子C 5に接続されたブースト用キャパシタ（# 5、# 11、# 17又は# 23）が選択候補となる。S 1=L、S 2=Hの時は、図9内の出力端子C 2に接続されたブースト用キャパシタ（# 2、# 8、# 14又は# 20）、出力端子C 4に接続されたブースト用キャパシタ（# 4、# 10、# 16又は# 22）及び出力端子C 6に接続されたブースト用キャパシタ（# 6、# 12、# 18又は# 24）が選択候補となる。I 1=H、I 2=Hの時は、図9内の出力端子C 1に接続されたブースト用キャパシタ（# 1、# 7、# 13又は# 19）、出力端子C 2に接続されたブースト用キャパシタ（# 2、# 8、# 14又は# 20）及び出力端子C 3に接続されたブースト用キャパシタ（# 3、# 9、# 15又は# 21）、出力端子C 4に接続されたブースト用キャパシタ（# 4、# 10、# 16又は# 22）、出力端子C 5（# 5、# 11、# 17又は# 23）に接続されたブースト用キャパシタ及び出力端子C 6に接続されたブースト用キャパシタ（# 6、# 12、# 18又は# 2

4) が選択候補となる。

【0046】

上記の三種類の選択候補の論理積をとったブースト用キャパシタが実際に用いられる。すなわち、以上の XA_j ($j = (1), 2, \dots, 4$), I_1, I_2, S_1, S_2 の組み合わせにより、最適なブースト用キャパシタが選ばれる。全ての組み合わせを、図11に示す。図11中では、 $I(j) = I(I_1 + 2 \times I_2)$ 、 $A(j) = XA_j$ 、 $S(j) = S(S_1 + 2 \times S_2)$ である(ただし、数値化のために $L=0$ 、 $H=1$ とした)。例えば、 $I_1=1$ 、 $I_2=0$ のときには $I(j) = I(1 + 2 \times 0) = I(1)$ となり、 XA_1 のときには、 $A(j) = A(1)$ となり、 $S_1=1$ 、 $S_2=0$ のときには $S(j) = S(1 + 2 \times 0) = S(1)$ となる。

【0047】

容量は#1~#24の24個が存在し、図10のように分割してある。容量の合計は20.4 pFであり、最大ブースト時(上述)にすべてのブースト用キャパシタが使われる。(小アレイ数 M) \times (電流値 n 通り) \times (ブースト調整4通り) $= 4 \times 4 \times 4 = 64$ 通りについて各々ブースト用キャパシタを用意した場合は、図11の容量の合計306.8 pFが必要となる。つまり、本実施例では、使用面積を6.6%程度に削減できている。

【0048】

図10を参照すると、#1+#2の幅:#3+#4の幅:#5+#6の幅=1:1:2であり、#3+#4の幅と#5+#6の幅は等比級数の関係にある。#1の幅:#2の幅=1:2であり、#1の幅と#2の幅は等比級数の関係にある。#3の幅:#4の幅=1:2であり、#3の幅と#4の幅は等比級数の関係にある。#5の幅:#6の幅=1:2であり、#5の幅と#6の幅は等比級数の関係にある。#1の高さ:#7の高さ:#13の高さ:#19の高さ=4:1:2:4であり、#7の高さ、#13の高さ及び#19の高さは等比級数の関係にある。

【0049】

図12は、容量1MビットのMRAMセルアレイに対して、設定値8 mAの書

込電流を流した時のシミュレーション結果である。8 mAの書込み電流が6 ナノ秒継続したときに書込みセルに対して書込みが行われるが、書込み電流が8 mA未満である時には書込みセルに対して書込みができない。電流値が8 mAになってからの書込時間が5 ナノ秒として、ブースト回路を用いない場合 (A) は、書込電流を流す時間として80 ナノ秒程度の時間を要している。ここでは、70%程度 (斜線部) が無駄な電流である。一方、適正なブースト電流を用いた場合 (B) は、書込時間は15 ナノ秒程度に短縮できており、無駄な電流も40%程度 (斜線部) である。ただし、ブースト量が多いと所望の電流 (ここでは8 mA) 以上の電流が流れ、誤書込みの要因となるので、容量の正確な設計が必要である。本発明の場合、図9の容量調整端子を用いて、ブースト量を調整することが出来る。

【0050】

【発明の効果】

以上のように、本発明によれば、スタンバイ時は電源からキャパシタに対する充電、動作時はキャパシタに蓄積された電荷の放電が行われることによって、寄生キャパシタに対する充電が短時間で行われ、書込時間を短縮することができる。また、一般にこれらの寄生キャパシタの大きさは、書込セルの位置や電流値に依存するが、複数のキャパシタアレイ、および適正なキャパシタを選択するキャパシタセレクタを書込定電流源回路に付加することで、寄生キャパシタを適切な速度で充電することができる。つまり、高速書込みが実現できるため、特にMRAMの大記憶容量化に対して効果が大きい。

【0051】

本発明は上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更されうることは明らかである。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態による半導体記憶装置の構成を示すブロック図である。

【図2】

本発明の第 1 の実施の形態による半導体記憶装置で用いる定電流源回路の構成を示す回路図である。

【図 3】

本発明の第 1 の実施の形態による半導体記憶装置の書き込み時の動作を示すタイミングチャートである。

【図 4】

本発明の第 2 の実施の形態による半導体記憶装置で用いる昇圧回路およびレベルシフト回路の例を示す回路図である。

【図 5】

本発明の第 2 の実施の形態による半導体記憶装置の構成を示すブロック図である。

【図 6】

本発明の第 2 の実施の形態による半導体記憶装置の書き込み時の動作を示すタイミングチャートである。

【図 7】

本発明の第 3 の実施の形態による半導体記憶装置の構成を示すブロック図である。

【図 8】

本発明の第 3 の実施の形態による半導体記憶装置で用いるブースト回路の構成を示すブロック図である。

【図 9】

図 8 に示すブースト回路内のキャパシタセレクタの構成を示す回路図である。

【図 10】

本発明の第 3 の実施の形態における電流ブースト容量の分割方法を示す容量構成図である。

【図 11】

本発明の第 3 の実施の形態における電流ブースト容量の選択方法を示す表である。

【図 12】

本発明の効果を示す電流のシミュレーション波形の比較図である。

【図 13】

TMR メモリセルの構造を示す図である。

【図 14】

(A) は、メモリセルアレイを示す平面図であり、(B) は、磁場表示によるアステロイド曲線を示すグラフであり、(C) は電流表示によるアステロイド曲線を示すグラフである。

【図 15】

従来例による半導体記憶装置の構成を示すブロック図である。

【図 16】

従来例による半導体記憶装置における書込電流波形を示すグラフである。

【図 17】

従来例による半導体記憶装置の構成を示すブロック図である。

【図 18】

大記憶容量アレイにおける寄生キャパシタの影響を示す回路図である。

【符号の説明】

101、101B X側ブースト回路

102、102B Y側ブースト回路

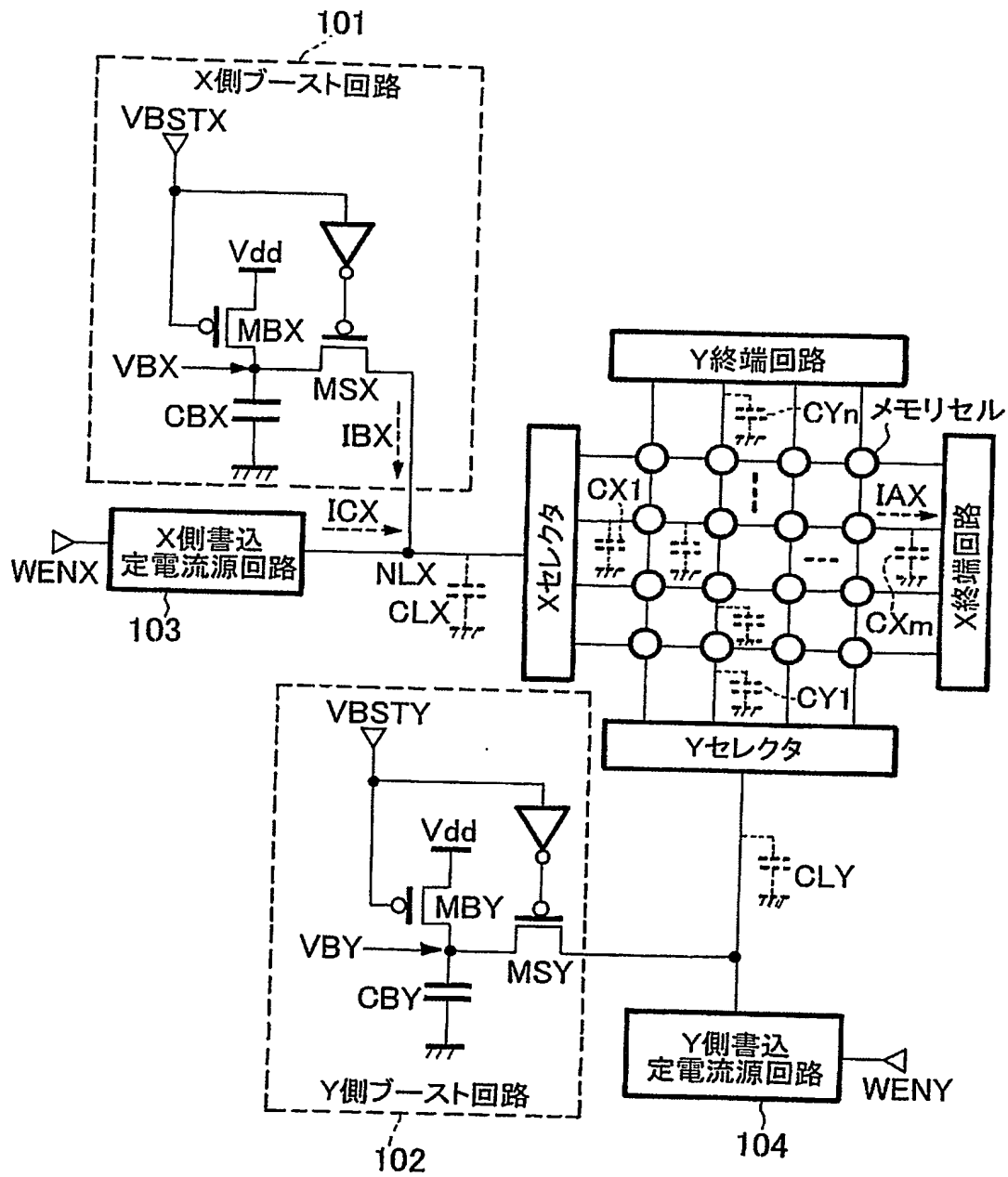
103 X側書込定電流源回路

104 Y側書込定電流源回路

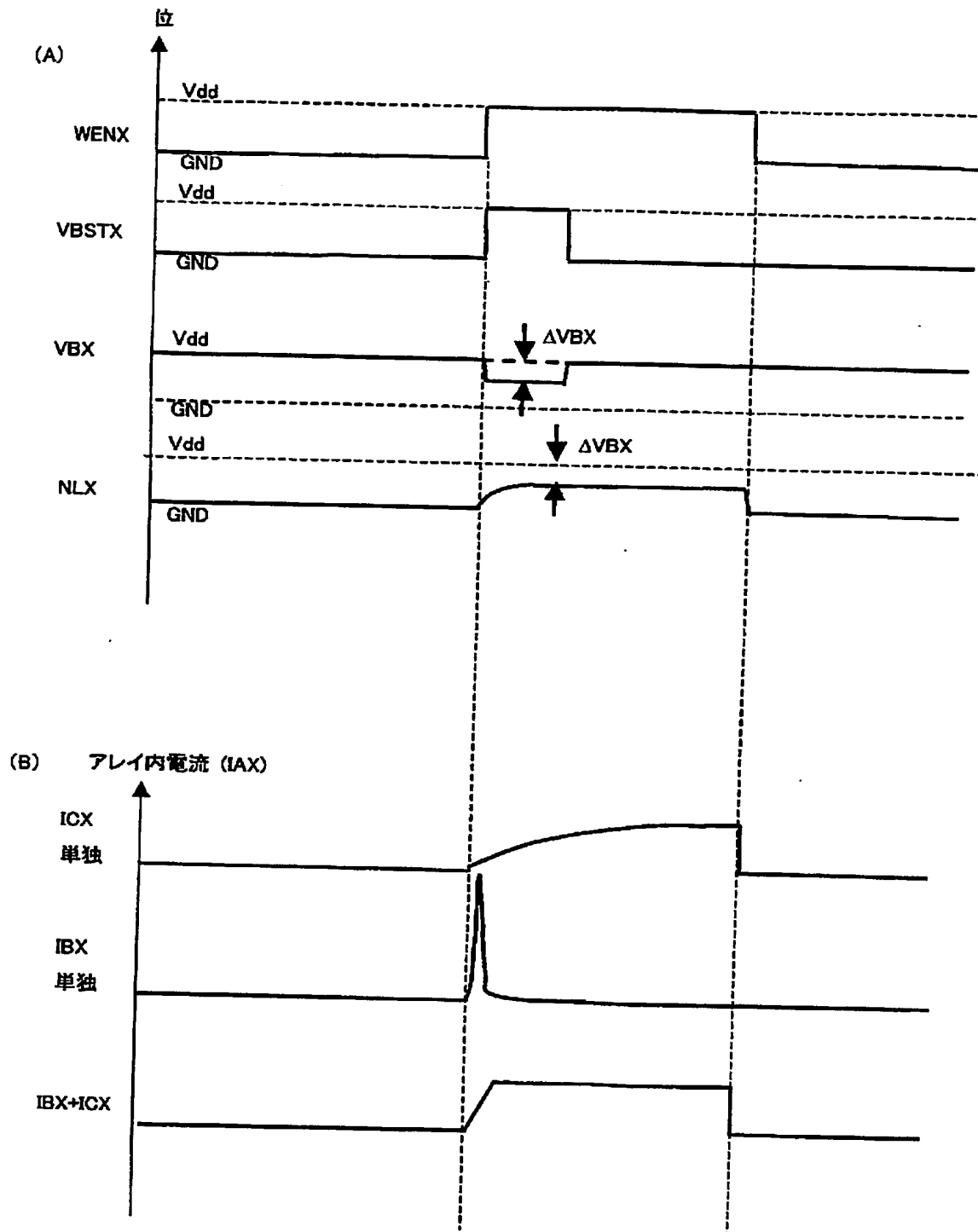
【書類名】

図面

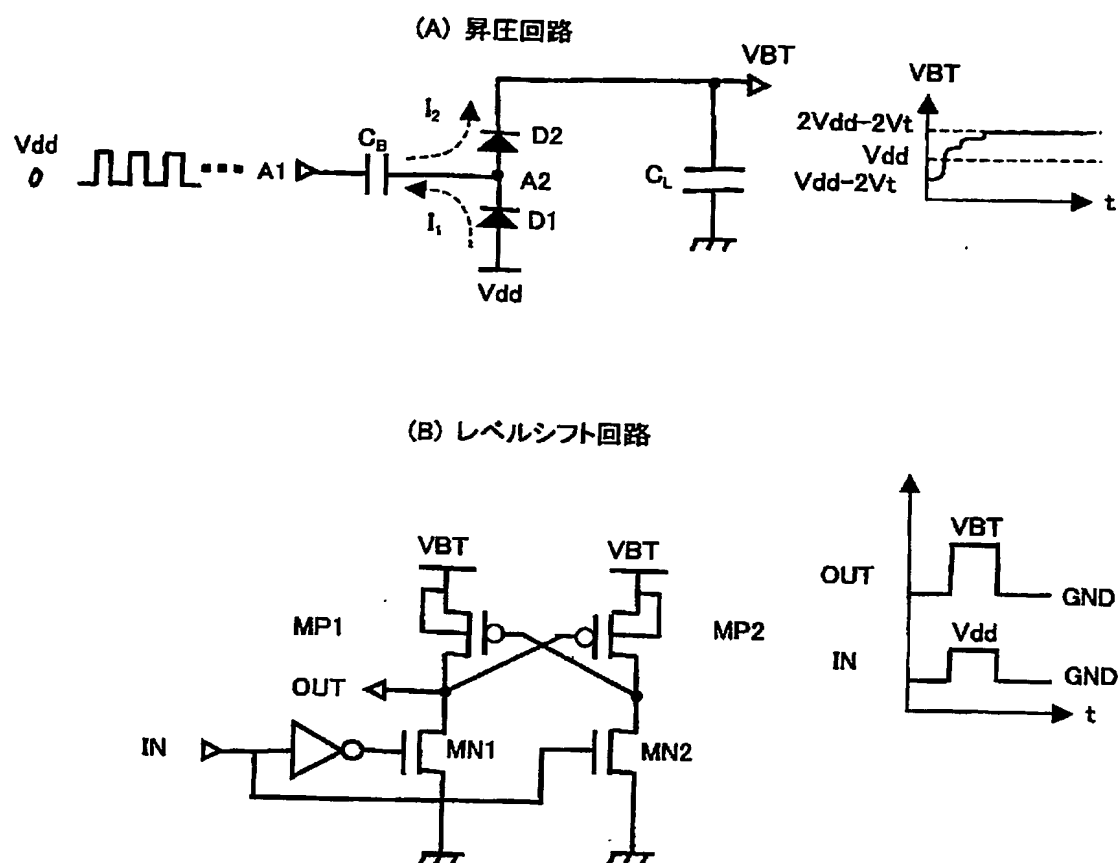
【図1】



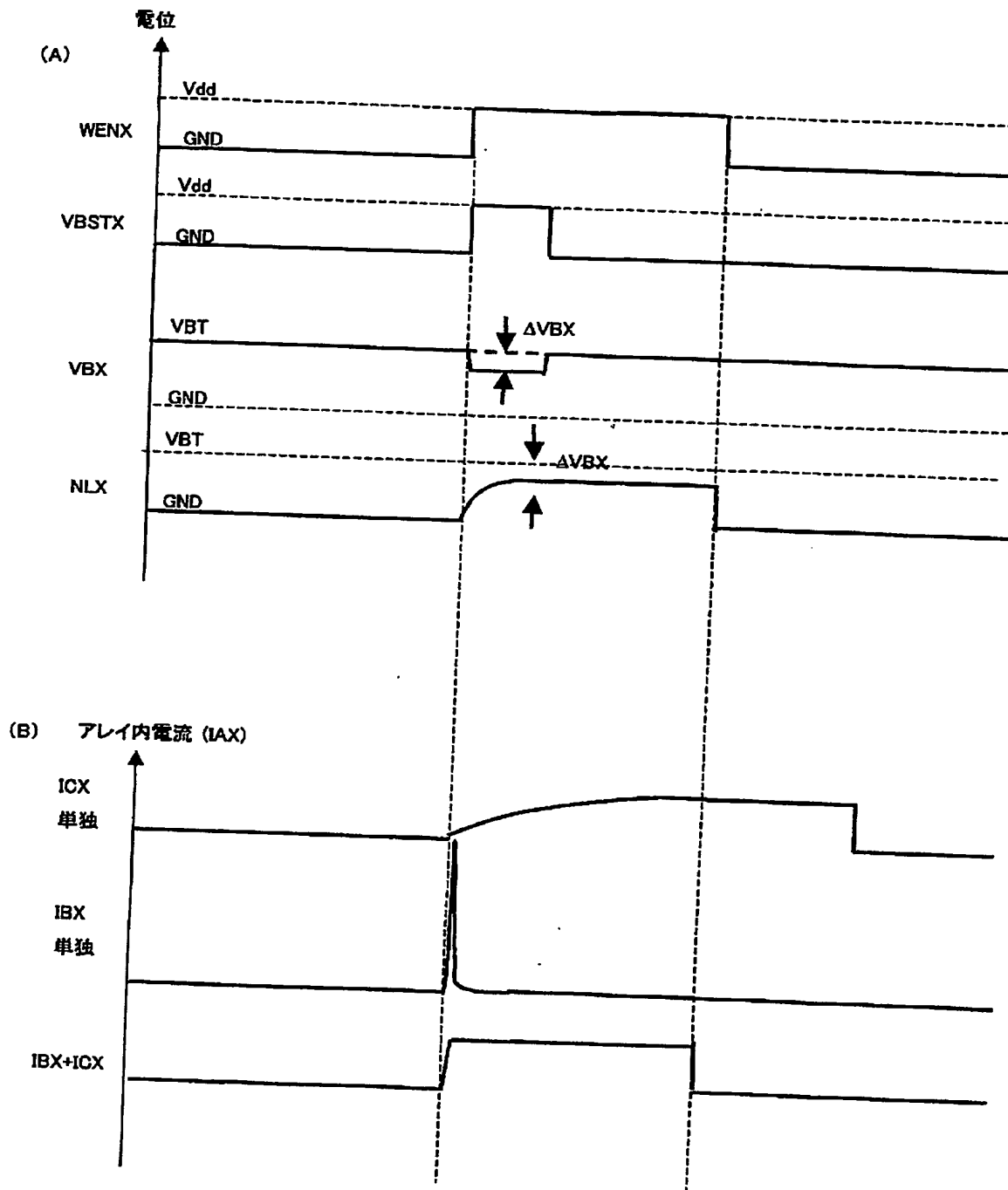
【図 3】



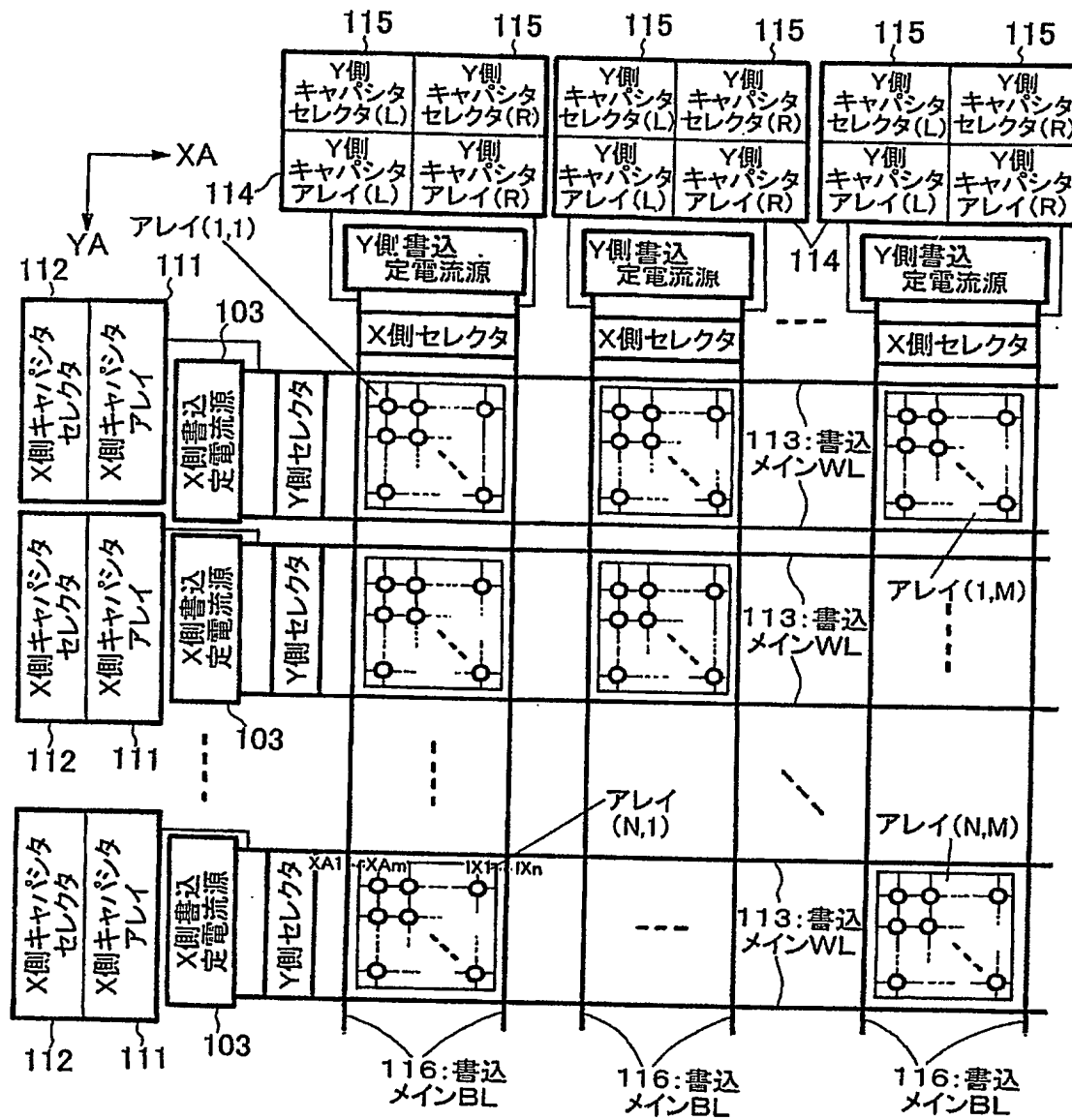
【図 4】



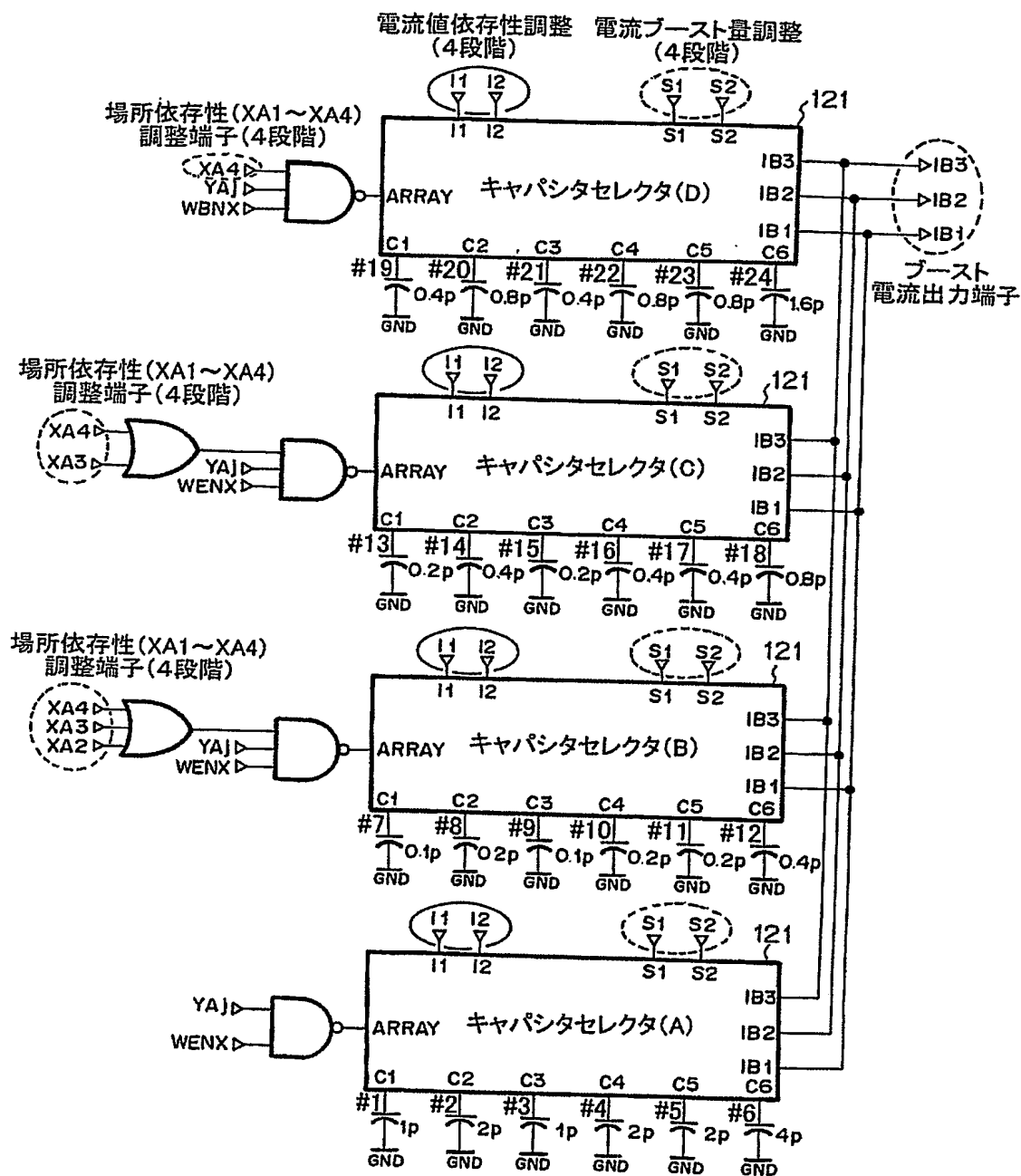
【図 6】



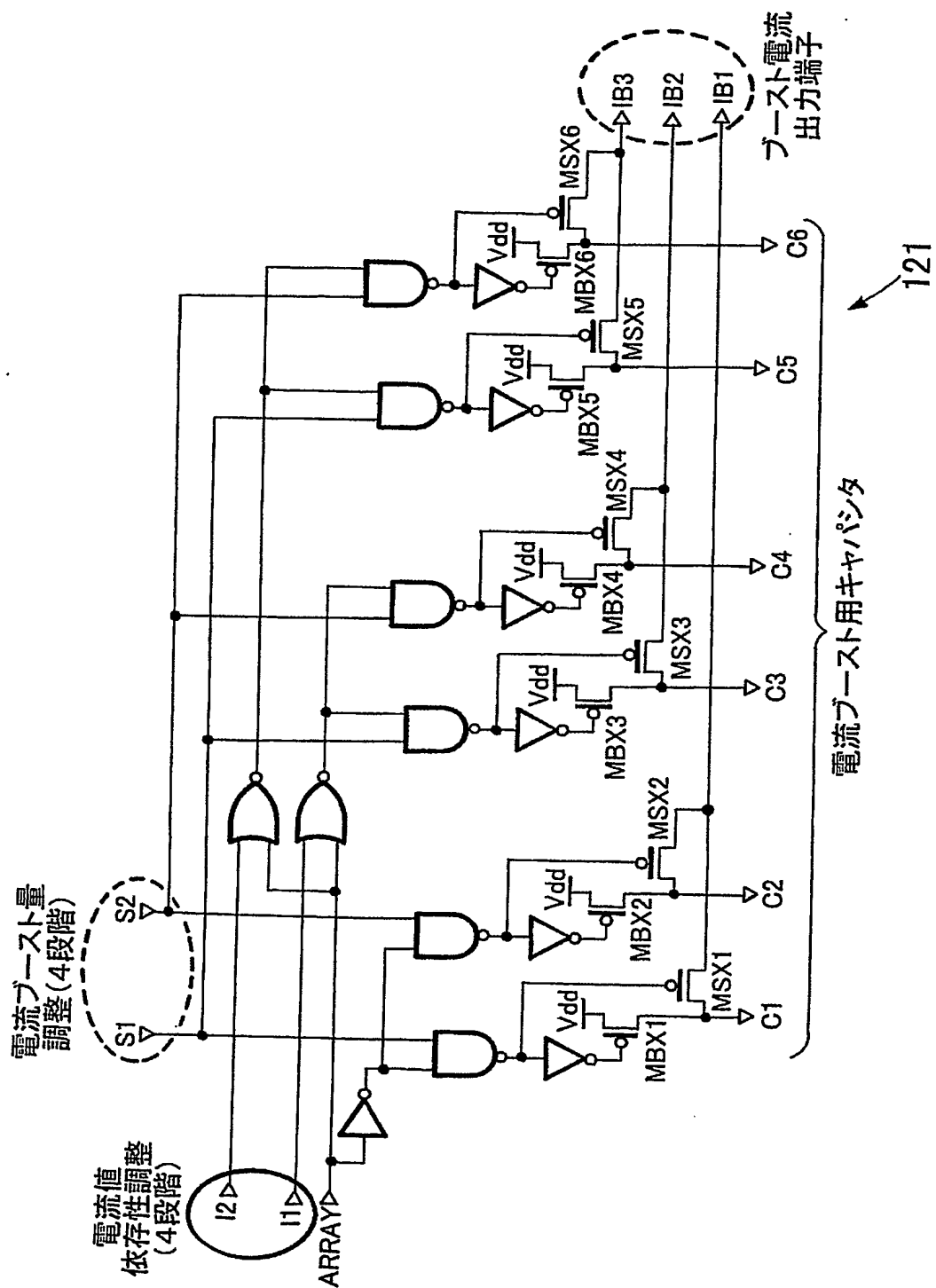
【図 7】



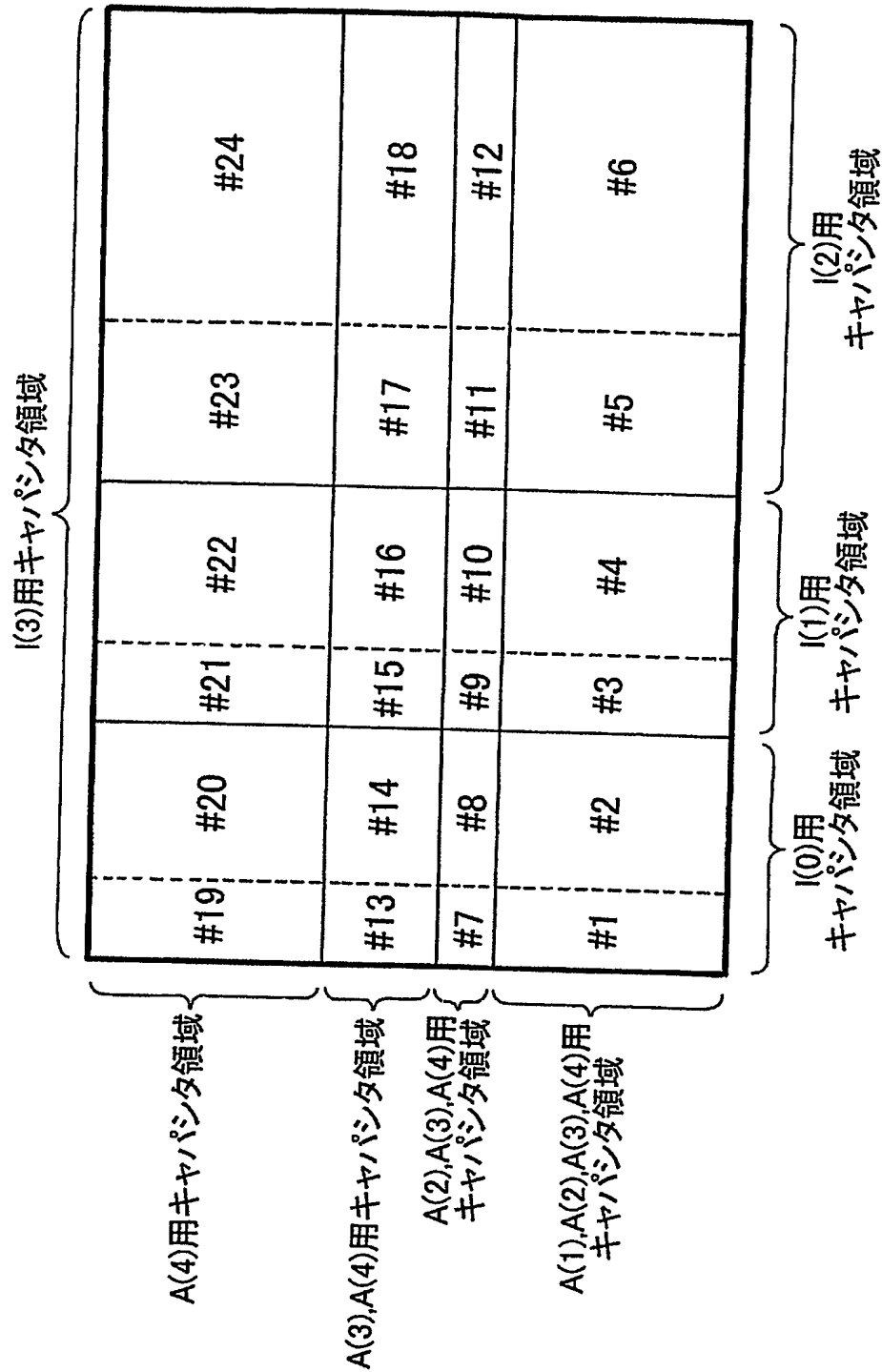
【図 8】



【図9】



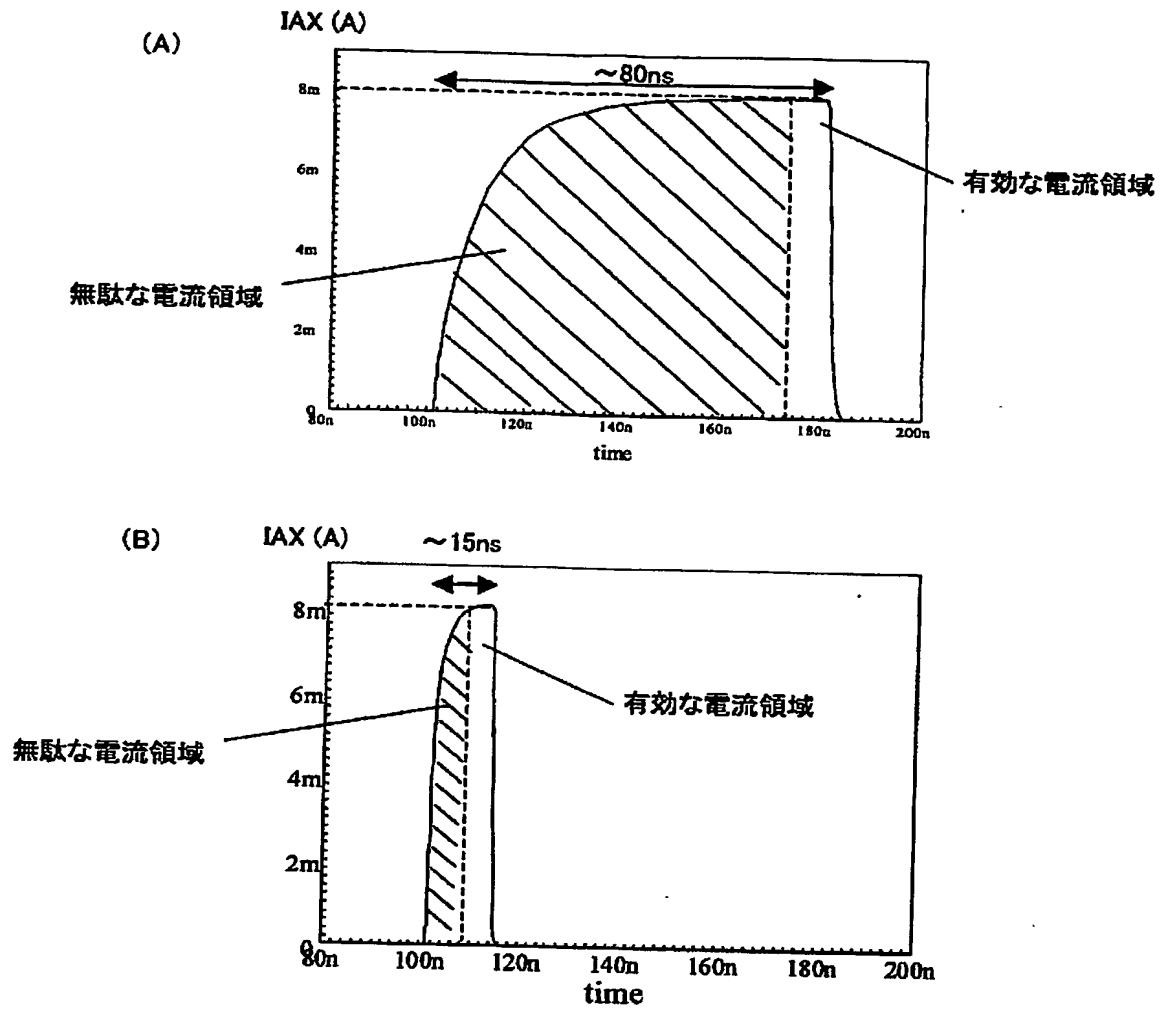
【図 10】



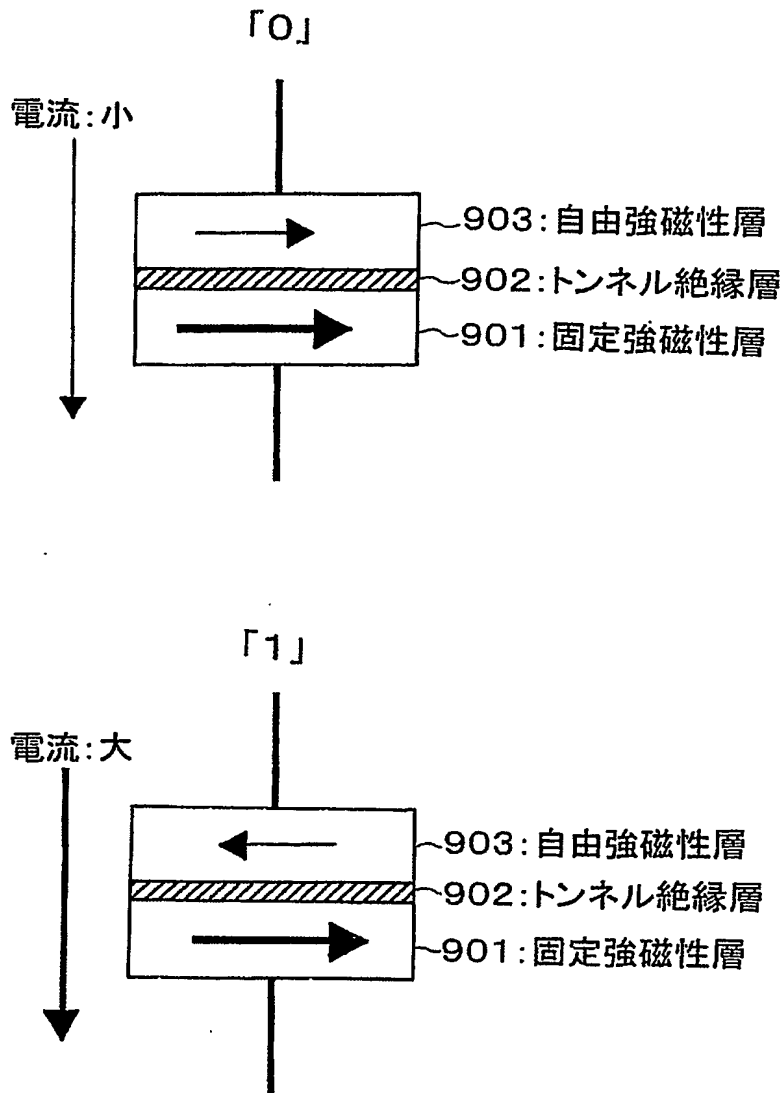
【図 11】

	電流(3:0)	アレイ(4:1)	調整(3:0)	容量(pF)	使用キャパシタ
1	I(0)	A(1)	S(0)	0.0	なし
2	I(0)	A(1)	S(1)	1.0	#1
3	I(0)	A(1)	S(2)	2.0	#2
4	I(0)	A(1)	S(3)	3.0	#1,#2
5	I(0)	A(2)	S(0)	0.0	なし
6	I(0)	A(2)	S(1)	1.1	#1,#7
7	I(0)	A(2)	S(2)	2.2	#2,#8
8	I(0)	A(2)	S(3)	3.3	#1,#2,#7,#8
9	I(0)	A(3)	S(0)	0.0	なし
10	I(0)	A(3)	S(1)	1.3	#1,#7,#13
11	I(0)	A(3)	S(2)	2.6	#2,#8,#14
12	I(0)	A(3)	S(3)	3.9	#1,#2,#7,#8,#13,#14
13	I(0)	A(4)	S(0)	0.0	なし
14	I(0)	A(4)	S(1)	1.5	#1,#7,#13,#19
15	I(0)	A(4)	S(2)	3.0	#2,#8,#14,#20
16	I(0)	A(4)	S(3)	4.5	#1,#2,#7,#8,#13,#14,#19,#20
17	I(1)	A(1)	S(0)	0.0	なし
18	I(1)	A(1)	S(1)	2.0	#1,#3
19	I(1)	A(1)	S(2)	4.0	#2,#4
20	I(1)	A(1)	S(3)	6.0	#1-#4
21	I(1)	A(2)	S(0)	0.0	なし
22	I(1)	A(2)	S(1)	2.2	#1,#3,#7,#9
23	I(1)	A(2)	S(2)	4.4	#2,#4,#8,#10
24	I(1)	A(2)	S(3)	6.6	#1,#2,#7,#8
25	I(1)	A(3)	S(0)	0.0	なし
26	I(1)	A(3)	S(1)	2.6	#1,#3,#7,#9,#13,#15
27	I(1)	A(3)	S(2)	5.2	#2,#4,#8,#10,#14,#16
28	I(1)	A(3)	S(3)	7.8	#1-#4,#7-#10,#13-#16
29	I(1)	A(4)	S(0)	0.0	なし
30	I(1)	A(4)	S(1)	3.4	#1,#3,#7,#9,#13,#15,#19,#21
31	I(1)	A(4)	S(2)	7.8	#2,#4,#8,#10,#14,#16,#20,#22
32	I(1)	A(4)	S(3)	11.2	#1-#4,#7-#10,#13-#16,#19-#22
33	I(2)	A(1)	S(0)	0.0	なし
34	I(2)	A(1)	S(1)	3.0	#1,#5
35	I(2)	A(1)	S(2)	6.0	#2,#6
36	I(2)	A(1)	S(3)	9.0	#1,#2,#5,#6
37	I(2)	A(2)	S(0)	0.0	なし
38	I(2)	A(2)	S(1)	3.3	#1,#5,#7,#11
39	I(2)	A(2)	S(2)	6.6	#2,#6,#8,#12
40	I(2)	A(2)	S(3)	9.9	#1,#2,#5,#6,#7,#8,#11,#12
41	I(2)	A(3)	S(0)	0.0	なし
42	I(2)	A(3)	S(1)	3.9	#1,#5,#7,#11,#13,#17
43	I(2)	A(3)	S(2)	7.8	#2,#6,#8,#12,#14,#18
44	I(2)	A(3)	S(3)	11.7	#1,#2,#5-#8,#11-#14,#17,#18
45	I(2)	A(4)	S(0)	0.0	なし
46	I(2)	A(4)	S(1)	5.1	#1,#5,#7,#11,#13,#17,#19,#23
47	I(2)	A(4)	S(2)	10.2	#2,#6,#8,#12,#14,#18,#20,#24
48	I(2)	A(4)	S(3)	15.3	#1,#2,#5-#8,#11-#14,#17-#20,#23,#24
49	I(3)	A(1)	S(0)	0.0	なし
50	I(3)	A(1)	S(1)	4.0	#1,#3,#5
51	I(3)	A(1)	S(2)	8.0	#2,#4,#6
52	I(3)	A(1)	S(3)	12.0	#1-#6
53	I(3)	A(2)	S(0)	0.0	なし
54	I(3)	A(2)	S(1)	4.4	#1,#3,#5,#7,#9,#11
55	I(3)	A(2)	S(2)	8.8	#2,#4,#6,#8,#10,#12
56	I(3)	A(2)	S(3)	13.2	#1-#12
57	I(3)	A(3)	S(0)	0.0	なし
58	I(3)	A(3)	S(1)	5.2	#1,#3,#5,#7,#9,#11,#13,#15,#17
59	I(3)	A(3)	S(2)	10.4	#2,#4,#6,#8,#10,#12,#14,#16,#18
60	I(3)	A(3)	S(3)	15.6	#1-#18
61	I(3)	A(4)	S(0)	0.0	なし
62	I(3)	A(4)	S(1)	6.8	#1,#3,#5,#7,#9,#11,#13,#15,#17,#19,#21,#23
63	I(3)	A(4)	S(2)	13.6	#2,#4,#6,#8,#10,#12,#14,#16,#18,#20,#22,#24
64	I(3)	A(4)	S(3)	20.4	#1-#24

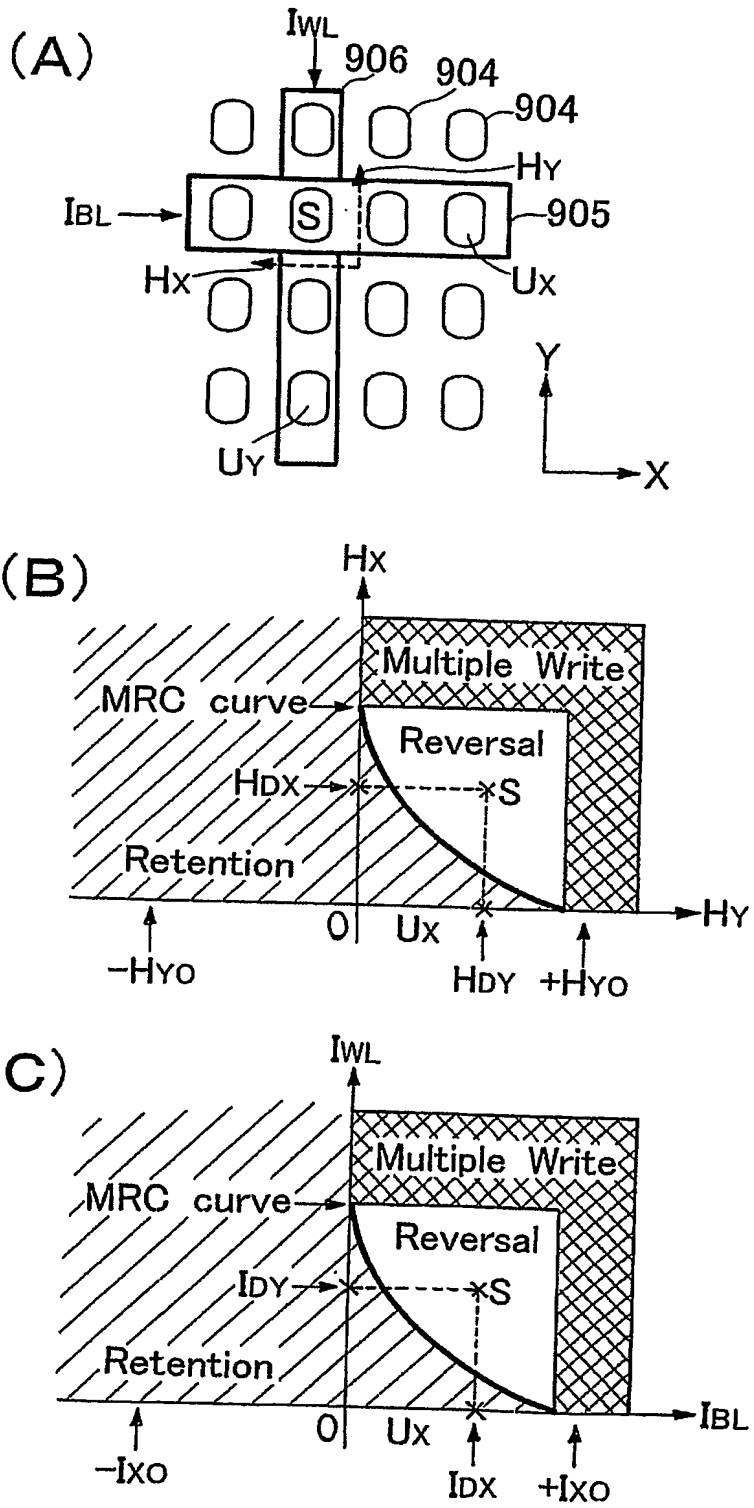
【図 12】



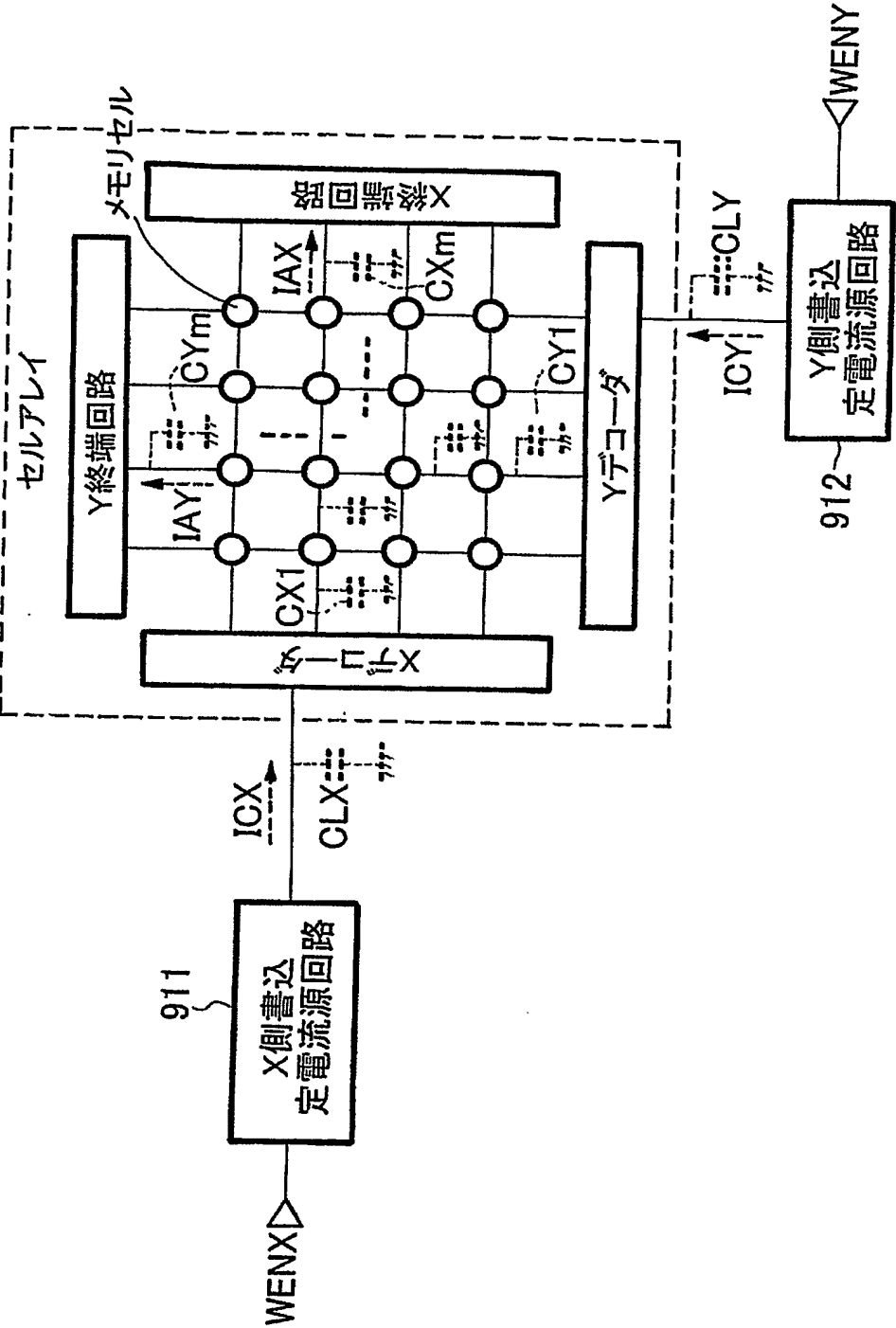
【図13】



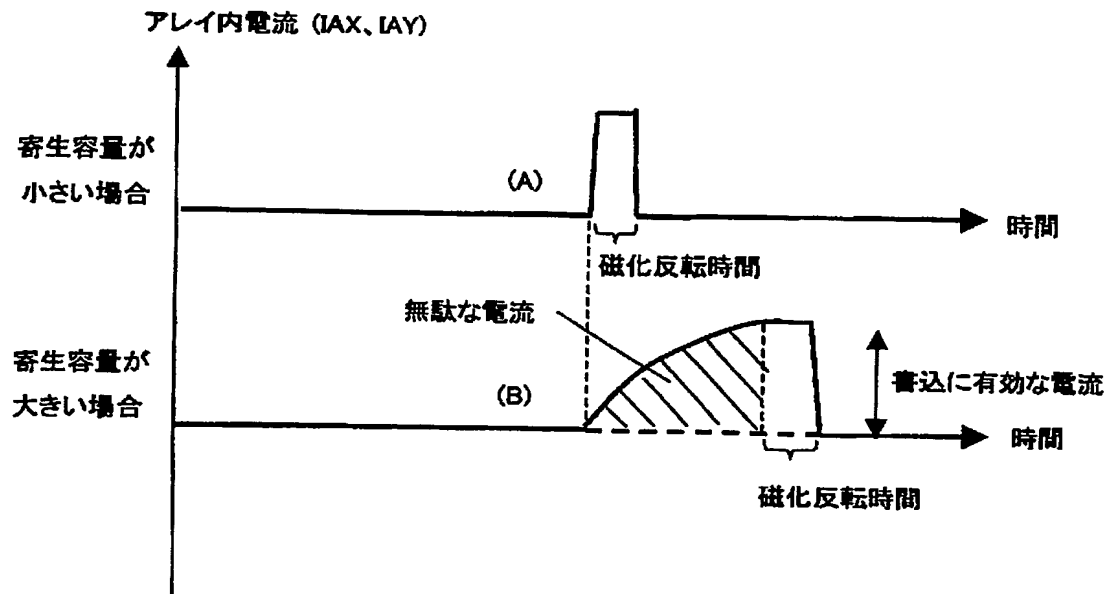
【図 14】



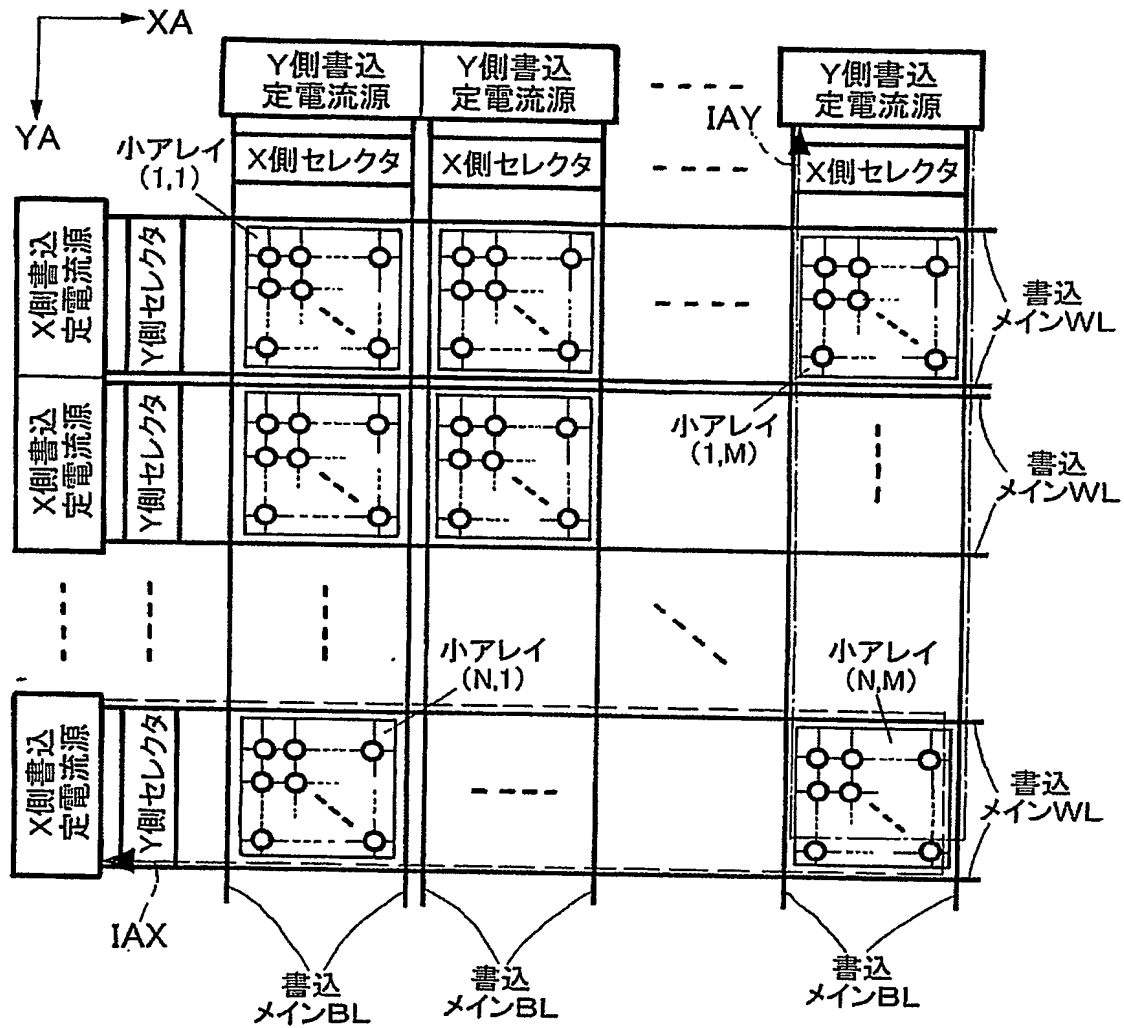
【図 15】



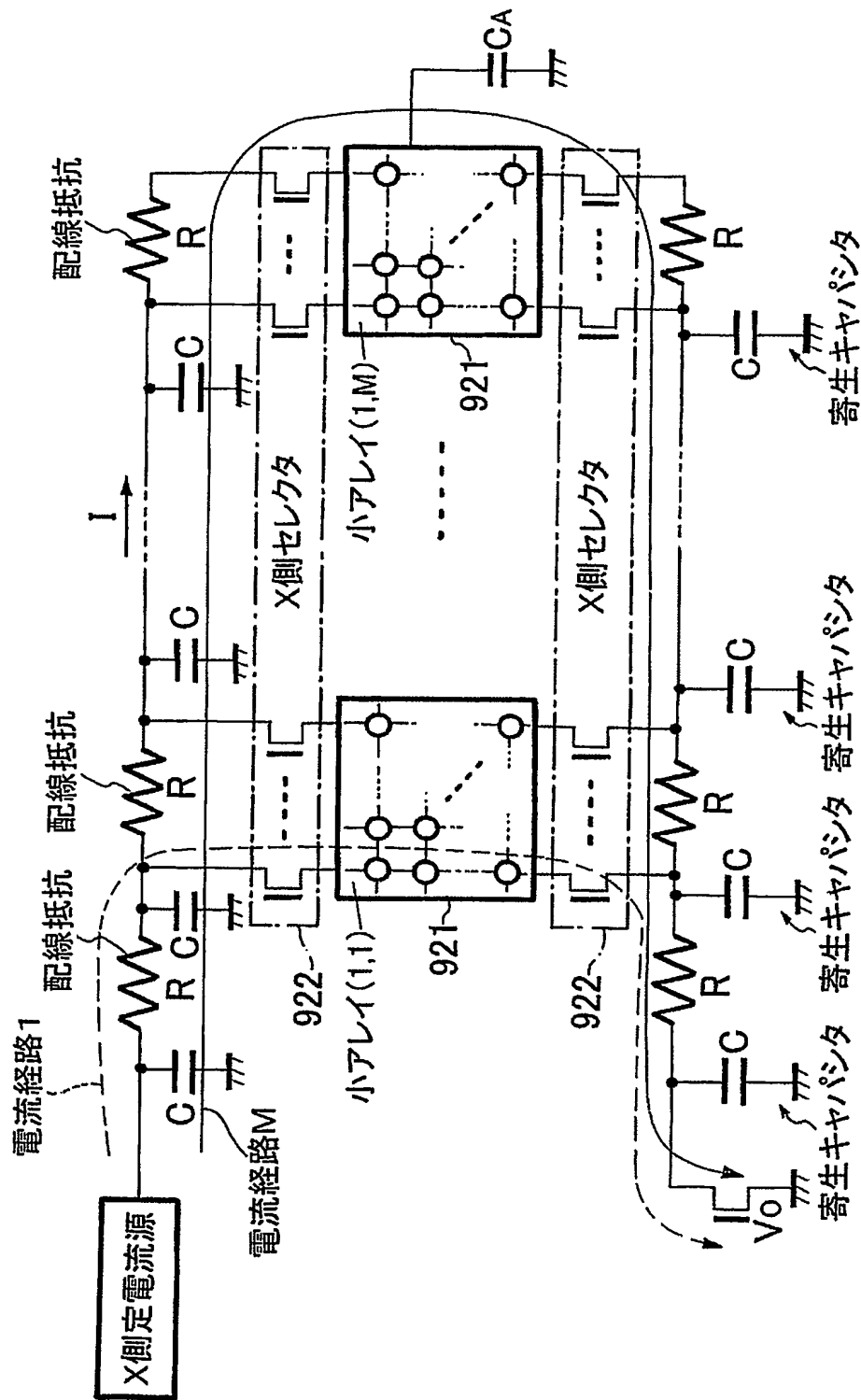
【図 16】



【図17】



【図 18】



【書類名】 要約書

【要約】

【課題】 本発明は、寄生キャパシタにより書込電流が所定値に達するまでの時間が長引くことを防止することにより、書込み速度を速め、消費電力を削減する。

【解決手段】 情報を記憶する記憶素子と、電流を流すことにより前記記憶素子に情報を書き込むために設けられた定電流源 1 0 3 と、前記記憶素子に関連した所定位置において、前記定電流源により流された電流の量が前記記憶素子に情報を書き込むために必要な電流の量に達するまでの間に、寄生キャパシタを充電するためのブースト回路 1 0 1 と、を備える。

【選択図】 図 1

特願 2003-000455

出願人履歴情報

識別番号

[000004237]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.